

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

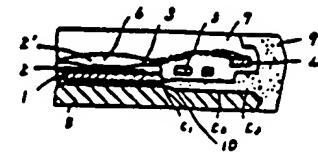
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP 363233555 A
SEP 1988

(54) RESIN SEALED SEMICONDUCTOR DEVICE
(11) 63-233555 (A) (43) 29.9.1988 (19) JP
(21) Appl. No. 62-65715 (22) 23.3.1987
(71) TOSHIBA CORP (72) SHINJIRO KOJIMA
(51) Int. Cl. H01L23/30, H01L23/34

PURPOSE: To prevent an air gap from occurring between a heat dissipation fin and a first seal part, in a double-molded type resin sealed semiconductor device, by gradually reducing the distance between the first resin seal part and the planar heat dissipation fin toward the bed part of a lead frame.

CONSTITUTION: A semiconductor element 2 is mounted on a bed part 1, which is the conductive metal plate of a lead frame. A pad 2' and an inner lead terminal 3 or 4 are connected with a thin metal wire 5. After the thin wire 5 is covered with an encapsulating agent 6, a first resin seal part 7 is formed. At this time, the seal is performed so that the rear surface of the bed part 1 is exposed. The bed part 1 and a planar heat dissipation fin 8 are arranged in a metal mold with a slight gap C_1 being provided. A second resin seal part 9 is formed. Here, gaps C_2 and C_3 are formed between the seal part 7 and the fin 8 so that the flow path of the second resin is gradually reduced toward the gap C_1 . Since the gap C_1 is excellently filled with the second resin, voids do not remain, and the heat dissipation characteristic becomes excellent.



③公開特許公報 (A) 昭63-233555

④Int.CI.
H 01 L 23/30
23/34類別記号 厅内整理番号
B-6835-5F
B-6835-5F

⑤公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 衝撃封止型半導体装置

⑦特 願 昭62-65715
⑧出 願 昭62(1987)3月23日

⑨発明者 小島 伸次郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑩出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地
⑪代理人 井理士 井上 一男

明細書

1. 発明の名称

衝撃封止型半導体装置

2. 特許請求の範囲

導電性金属板基盤にマウントする半導体素子と、この周囲に配置する遮光をもつリード線と、このリード線と前記半導体素子間に接続する金属端子と、この金属端子及び前記半導体素子を複数し前記導電性金属板の裏面を露出して封止される第1の衝撃封止部と、前記導電性金属板の裏面と僅かな距離を、複数して対向配置する板状の放熱フィンと、この僅かな距離をうめ前記板状の放熱フィンの裏面を露出し前記第1の衝撃封止部を含めて封止される第2の衝撃封止部とをもつ衝撃封止型半導体装置において、

前記板状の放熱フィンと導電性金属板基盤の距離を最小とし、前記放熱フィンと第1の衝撃封止部間の距離を封止部の死隙、前記金属端子を接続する前記リード線と対応する第1の衝撃封止部と前記板状の放熱フィン間の死隙を最大増大することを特徴とする

②衝撃封止型半導体装置。

3. 発明の詳細な説明

(発明の目的)

(技術上の利用分野)

本発明は衝撃封止型半導体装置の改良に係るもので、特にトランジスタアレイ、SCRアレイ等のパワーモジュールや、パワートランジスタならびにパワースイッチの高出力半導体装置に適用する二重にモールドを施した半導体装置に関するものである。

(従来の技術)

最近の半導体装置には单一の半導体素子で構成するものの外に、複数の半導体素子ならびに付属部品を一體としたモジュールタイプも多用されており、その取扱性を改善するにはリードフレームにマウントした半導体素子と共に放熱フィンもトランシスタ成形する方法が採用されている。

このようなモジュール商品では複数の半導体素子をマウントする寸法の大きいリードフレームを用いるため衝撃封止部工場中に複数して、放熱

フインヒリードフレームのベッド底面底面が異常に陥くなったり抜けられることがある。

このために、被覆防止（トランスファモールド）工程を複数回に分けて実施する方が採用されており、リードフレームのベッドと熱熱フイン部の底面を所定の高さに維持できるので、底面性の改善に役立つところが大きい。

第10図によりこの二重モールド方式を説明する。第10図は二重モールドを施した製品の断面図。この構造を構成するには第1の被覆防止を備えた底面高さを、リードフレームのベッド底面と熱熱フイン21を底面と底面を保って金属内に配置後第一の被覆防止部22と同様なエポキシ樹脂によって封止工程を行って第二の被覆防止部23を設ける。

この二重モールド方式の結果、ベッド底20にダイポンディングした半導体電子24ならびにリードフレームのリード電子25を封止する金属底板26等が複数すると共に、熱熱フイン21の一端はこの封止部22と連続して底面を形成する。

（発明が解決しようとする課題）

このような二重モールド方式を適用した半導体封止部半導体装置は前述のように熱熱フインと、半導体電子をダイポンディングしたリードフレームのベッド底面を底面と底面とし、更にこの底面に封止部22を充填するので底面性に優れた特徴を有している。これに反して、封止部23が入りにくいためエアボイドが発生しやすい。また、この封止部の底面に複数の底面を有すると、底面やエアギャップが入り易い底面があり、これが基で底面性が劣化する。

本発明は上記欠点を除去する新規な被覆防止部半導体装置を提供することを目的とする。

（発明の構成）

（底面を形成するための手段）

二重モールド方式を適用した被覆防止部半導体装置における板状の熱熱フインと、リードフレームのベッド底面と底面を充填する第2の被覆防止部のエアギャップ等を解消するために、この複数の底面につながる板状の熱熱フインと第1の被覆防止部の底面と封止部底面金属板

にマウントした半導体電子と電気的接続を保るべく固定した金属底板にはリード電子を連結しこれに対応する第1の被覆防止部と板状底面フイン部の底面とを底面増大する手段を採用する。

（作成用）

このように本発明では複数の底面に充填する封止部底面を底面増大するように構成しているので、入り易く使ってエアボイドの発生を防止して、被覆防止部半導体装置に必要な底面性ならびに底面性を確保したものである。

（実施例）

第1図乃至第9図に本発明の実施例を示すが、従来の技術と底面する底面が底面上に異なるが、以下を付して説明する。

この実施例は半導体電子62ケで構成する底面（第6図）をもつ被覆防止部半導体装置であり、この各半導体電子をマウントするリードフレームも当然底面の構造が必要となるが、その上底面を第2図に示す。

半導体電子2…にベッド底面から底面金属板1

…にマウントされているが、そのバターンは複数でありかつ底面が高いことが底面である。一方このリードフレームは第1図等に示すように底面金属板1…と内底リード電子部3ならびに後述するよう金属底板をポンディングする外底リード電子部4の3部分の底面を互に底面させるように底面げてこの底面金属板1…を複数の位置にする。

半導体電子2…に設けるベッド2'…と外底リード電子4間には通常のポンディング等によって金属底板5を複数して電気的接続を図り、これをエンキップ部6によって被覆部公知のエポキシ樹脂によるトランスファモールド工程を通して第1の被覆防止部7を設ける。この結果半導体電子2…、内底外底リード電子3、4は、金属底板5とエンキップ部6は複数されるものの、複数底面金属板1…の底面はこの底面の被覆防止部7底面に対応する。

更に複数した底面金属板1…に対して複数の底面を有する板状の熱熱フイン8を被覆モールド用金属内に設けて第2の被覆防止部9を形成する。

この場合、板状の放熱フィン9と導電性金属板11の底部C1、内部リード3に対応する第1の板面封止部7と板状の放熱フィン9底部C1、外部リード4に対応する第1の板面封止部7と板状の放熱フィン9底部C1として複数個数が流れ易いように配置している。C1に示す距離を維持するには第2層に示すように板状の放熱フィン9の所定位置即ち内部リード端子3に対応する位置にプレス加工で凹部10を設けるか、第8層に示すように第1の板面封止部7の厚さを小さくしても良い。尚このトランスマルチモールド工程におけるゲート位置はC1方向に設けて前述のように複数個数の流れを改善して最も狭いC1の通過を良好にする。

更にこの複数個数の流れに配慮した例が第3～4図、第6～8図であり、結果的には第2の板面封止部9が第1の板面封止部7を横め付けて板状の放熱フィン9と導電性金属板11層のニアーアップを防止している。

この図4図は第2の板面封止部9を改めを示す

661 工程を経えた板面封止部9は板の上表面であり第1及び第2の板面封止部7、9が逆数して表面を形成しているが、この第1の板面封止部7の外側に7a～7cの段階を形成している。第3図イは、第1の板面封止部7を形成してから不要部分を除去した成形品の平面図であり、これをA～A線に沿って切削した図が第3図ロである。

この段階は、第2の板面封止部9との距離を及ぼすために半導体電子の外側を形成すると導電性金属板11の中間位置に形成し、この成形に当っては段階に相当する上型キャビティの成形型を使用し、かつこの導電性金属板11の基部が第1の板面封止部7の表面を下型キャビティの表面に固定配置してトランスマルチモールド工程を実質して得られる。

第6図～第8図は第4図に示したB～B、C～C、D～Dの各線に沿って切削した成形品の断面図であり、第1の板面封止部7の段階7a～7cにエボキシ樹脂で形成する第2の板面封止部9a～9cが実現され、第7図に示す段階テープ7aは第2の板面

封止部9に対して Under Cutの逆テープであって斜度しくは5°より斜度しくは10°以上に設置する。

この段階は半導体端子2の外側をほぼ囲んで設けられているので、既にC1の距離を持つ導電性金属板11と板状の放熱フィン9底部に充填する第2の板面封止部9の密着性が改善されて、第1の板面封止部7を横め付ける効果を発揮する。

第4図に示すように第1の板面封止部7が露出する面積は第1の板面封止部7の板面面積の約50%が斜度しく、密着力を強めるために少なくするとC1距離を所定の寸法に収めることができず、ボイドが抜けずに起業不良となる。これは第2の板面封止部9成形時にC1距離をもつた隙間が後から充填されてここでの板面圧が小さくなつてかつボイドを差込み易いためである。

(発明の効果)

この二重モールド方式を採用した板面封止部半導体装置では板状放熱フィンと第1の板面封止部間に第2の板面封止用樹脂が充填され易くて、エ

アーボイドが発生し難い。更に半導体装置の熱発散性が安定して高耐圧度子が持られる効果があり、しかもリード端子の自由度も従来より増す。

又厚さ2mmの板状放熱フィンを使用して外形寸法が77(幅)×27(高)×7(厚)mmである第4図の板面封止部半導体装置を試作としてC1を0.34mmとすると、ピーク値として±0.767を1分でクリアでき、0.3mmでは±0.4.317×1分をクリアした。

4. 本発明の簡単な説明

第1図は本発明の供する半導体装置の裏面を示す断面図、第2図はリードフレームの平面図、第3図イは第1の板面封止部の状態を示す上図、第3図ロは第3図イをA～A線に沿って切削した断面図、第4図は本発明に供する半導体装置の上図、第5図はこの半導体装置の断面図、第6～第8図は第4図のB～B、C～C、D～D線に沿って切削した断面図、第9図は本発明に供する半導体の裏面を示す断面図、第10図は從来装置の断面図である。

代理人 内藤士 共上一男

